

AGC CIRCUIT

Patent Number: JP8051329
Publication date: 1996-02-20
Inventor(s): MASUBUCHI KOICHI
Applicant(s): FUJITSU LTD
Requested Patent: JP8051329
Application Number: JP19940186942 19940809
Priority Number(s):
IPC Classification: H03G3/20; H03G3/30
EC Classification:
Equivalents:

Abstract

PURPOSE: To improve fluctuation suppressing characteristic of a reception input level caused by fading within the limits of allowable fixed deterioration by selecting one of plural time constant circuits in accordance with the decision result of the fading state of a transmission line from an input signal, an output signal or the output signal of a gain control circuit.

CONSTITUTION: A fading decision part 5 receives the input signal (or the output signal of the gain control circuit 4 or an AGC circuit) to decide the fading state of the transmission line. A time constant switching control circuit 6, which receives a control signal outputted from the decision part 5 in accordance with the decision result, is controlled so as to switch by selecting any one of n-number of time constant circuits 3-1 to 3-n. Consequently, DC voltage obtained from a variable gain amplifier 1 through a wave detector 2 is given an optimum time constant by the time constant circuit 3 and controls a gain through the gain control circuit 4.

Data supplied from the **esp@cenet** database - I2

Best Available Copy

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-51329

(43)公開日 平成8年(1996)2月20日

(51) Int.Cl. ⁶ H 03 G 3/20 3/30	識別記号 C B E	庁内整理番号 F I	技術表示箇所
--	---------------------	---------------	--------

審査請求 未請求 請求項の数 8 O.L (全 14 頁)

(21)出願番号 特願平6-186942	(71)出願人 000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日 平成6年(1994)8月9日	(72)発明者 増瀬 貢市 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

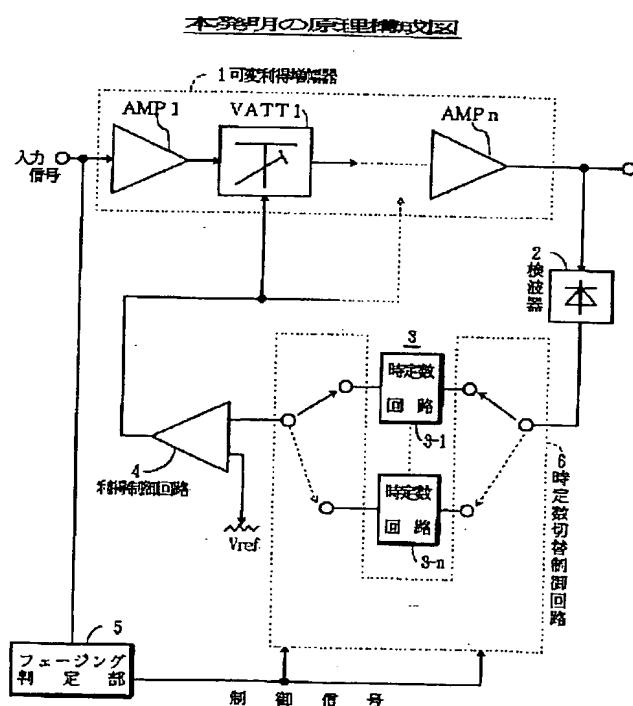
(74)代理人 弁理士 茂泉 修司

(54)【発明の名称】 AGC回路

(57)【要約】

【目的】 時定数回路により設定された時定数に基づき利得制御回路が可変利得増幅器の利得を制御するAGC回路に関し、許容できる固定劣化の範囲でフェージングによる受信入力レベル変動の抑圧特性を改善する。

【構成】 入力信号又は出力信号或いは利得制御回路の出力信号から伝送路のフェージング状態を判定し、この判定結果に応じて複数の時定数回路の内のいずれかを選択してAGC回路の時定数とする。



【特許請求の範囲】

【請求項1】 時定数回路により設定された時定数に基づき利得制御回路が可変利得増幅器の利得を制御するA G C回路において、
入力信号から伝送路のフェージング状態を判定するフェージング判定部と、
複数の時定数回路と、
該フェージング判定部の判定結果に応じて該複数の時定数回路の内のいずれかを選択する時定数切替制御回路と、
を備えたことを特徴とするA G C回路。

【請求項2】 請求項1に記載のA G C回路において、該フェージング判定部が、入力信号レベルに反比例した時定数を選択するための判定結果を出力することを特徴としたA G C回路。

【請求項3】 請求項1又は2に記載のA G C回路において、該フェージング判定部が、入力信号の代わりに該利得制御回路の出力信号から判定することを特徴としたA G C回路。

【請求項4】 請求項1に記載のA G C回路において、該フェージング判定部が、入力信号の周波数帯域中の少なくとも2つの周波数成分についてレベル検出を行い、該レベル同士の差に比例した時定数を選択するための判定結果を出力することを特徴としたA G C回路。

【請求項5】 請求項4に記載のA G C回路において、該フェージング判定部が、入力信号の代わりに該A G C回路の出力信号から判定することを特徴としたA G C回路。

【請求項6】 請求項4又は5に記載のA G C回路において、該フェージング判定部が、該周波数成分のレベル検出をそれぞれのフィルタにより行うことを特徴としたA G C回路。

【請求項7】 請求項4又は5に記載のA G C回路において、該フェージング判定部が、該周波数成分のレベル検出をタイミング信号により各周波数成分の信号を切り替えて発生するV C Oにより行うことを特徴としたA G C回路。

【請求項8】 時定数回路により設定された時定数に基づき利得制御回路が可変利得増幅器の利得を可変するA G C回路において、
後続の復調器の識別回路の誤差信号を検出して積分する積分回路と、
該積分回路の積分値からフェージング状態を判定するフェージング判定部と、
複数の時定数回路と、
該フェージング判定部の判定結果に応じて該複数の時定数回路の内のいずれかを選択する時定数切替制御回路と、
を備えたことを特徴とするA G C回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はA G C回路に関し、特にデジタル無線受信装置に用いられるA G C（自動利得制御）回路に関するものである。

【0002】デジタル無線受信装置等においては、伝送路にフェージングなどが発生するとその受信レベルが低下するため、このような受信信号のレベルを常に一定のレベルに保つ為のA G C回路が必要となる。

【0003】

10 【従来の技術】図11は従来より知られているA G C回路を示したもので、図中、1は可変利得増幅器を示し、この可変利得増幅器1はn段の増幅器AMP1～AMPnと、これらの増幅器AMP1～AMPnの間に挿入されたn-1段の可変減衰器V A T T 1～V A T T n-1とで構成されている。

【0004】このような可変利得増幅器1の出力信号は検波器2によって直流電圧に変換され、この直流電圧に対応した出力電圧を時定数回路3が発生する。

20 【0005】この時定数回路3から発生された出力電圧は利得制御回路4で基準電圧V refと比較され、両者の差電圧によって可変利得増幅器1の可変減衰器V A T T 1～V A T T n-1を制御して常に一定の出力電圧を発生するようにしている。

【0006】

【発明が解決しようとする課題】上記の従来のA G C回路における時定数回路3は、A G C回路としての制御（応答）速度を規定するものであり、この時定数回路3の時定数は伝送する信号の変調方式によりその固定劣化（ビット誤り率B E Rの劣化の意味）が少なくなるよう値に設定されている。

30 【0007】すなわち、無線受信装置の固定劣化は、受信レベル低下や帯域内振幅偏差の増加などの原因により受信信号のS/N劣化、復調器における再生キャリアのS/N劣化、クロック抽出回路のジッタ成分の増加などによる識別回路の識別誤りによるものが支配的となっているが、このため、伝送路（無線回線）にフェージングが発生し受信入力レベルが低下した場合、A G C回路の時定数により固定劣化が更に増加しないようにする必要があり、このため時定数を大きくし（A G C回路の応答速度を遅くし）、A G C回路のビット誤り率が小さくなるようにする必要がある。

40 【0008】また、変調方式によっても時定数は異なり、変調方式によらずビット誤り率が一定になるために、図12に示すように変調方式が多値化するほど時定数を大きくしなければならない。

【0009】この結果、時定数を大きくすると、フェージングによる受信入力レベル変動の抑圧が出来なくなるとともに、変調方式が多値化すればするほど劣化するという問題点があった。

50 【0010】従って本発明は、時定数回路により設定さ

れた時定数に基づき利得制御回路が可変利得増幅器の利得を制御するA G C回路において、許容できる固定劣化の範囲でフェージングによる受信入力レベル変動の抑圧特性を改善することを目的とする。

【0011】

【課題を解決するための手段】上記の目的を達成するため、本発明に係るA G C回路は、図1に原理的に示すように、入力信号から伝送路のフェージング状態を判定するフェージング判定部5と、複数の時定数回路3と、該フェージング判定部5の判定結果に応じて該複数の時定数回路3の内のいずれかを選択する時定数切替制御回路6と、を備えている。

【0012】上記のA G C回路において、該フェージング判定部5は、入力信号レベルに反比例した時定数を選択するための判定結果を出力することができ、入力信号の代わりに利得制御回路4の出力信号から判定してもよい。

【0013】また上記のフェージング判定部5は、入力信号の周波数帯域中の少なくとも2つの周波数成分についてレベル検出を行い、該レベル同士の差に比例した時定数を選択するための判定結果を出力することができる。

【0014】この場合も、該フェージング判定部5は、入力信号の代わりに該A G C回路の出力信号から判定してもよい。

【0015】このフェージング判定部5は、該周波数成分のレベル検出をそれぞれのフィルタにより行うことができ、或いは該周波数成分のレベル検出をタイミング信号により各周波数成分の信号を切り替えて発生するV C Oで行ってもよい。

【0016】また、本発明に係るA G C回路は、後続の復調器の識別回路の誤差信号を検出して積分する積分回路と、該積分回路の積分値からフェージング状態を判定するフェージング判定部と、複数の時定数回路と、該フェージング判定部の判定結果に応じて該複数の時定数回路の内のいずれかを選択する時定数切替制御回路と、を備えたものとすることができます。

【0017】

【作用】図1に示す本発明に係るA G C回路においては、フェージング判定部5は入力信号（又はこの入力信号の代わりに利得制御回路4の出力信号、或いはA G C回路の出力信号）を受けて伝送路のフェージング状態を判定する。

【0018】これは例えば、入力信号レベルが大きくなれば小さい時定数を選択し入力信号レベルが小さくなれば大きい時定数を選択するという判定結果を出力する。

【0019】すなわち、フェージングが発生して入力信号レベルが低くなったような場合には、A G C回路の固定劣化、即ちビット誤り率が小さくなるようにするため時定数を大きくするが、フェージング等がなく入力信号

レベルが高い正常な場合には、本来A G C回路に求められるように時定数を小さくするように制御信号を発生する。

【0020】したがって、この様な制御信号をフェージング判定部5から受けた時定数切替制御回路6はn個から成る時定数回路3-1～3-nの内のいずれかを選択して切り替えるように制御する。

【0021】したがって、可変利得増幅器1から検波器2を介して与えられる直流電圧は時定数回路3で最適な時定数が与えられ且つ利得制御回路4を介して利得を制御することとなる。

【0022】また、このフェージング判定部5は入力信号或いはこのA G C回路の出力信号における周波数帯域成分の内の少なくとも2つの周波数成分についてレベル検出を行い、このレベル検出を行った値の差に比例した時定数を選択するような判定結果を出力してもよい。

【0023】すなわち、フェージングが発生している場合には少なくとも使用周波数帯域内の二つの周波数成分についてのレベル間に差が生じるため、この差が大きければ大きいほどフェージング状態が大きいとして上記に述べた時定数を大きくするように制御すればよい。

【0024】さらに本発明においては、このA G C回路に通常接続される復調器の識別回路から識別誤差信号を検出して積分し、この積分した値からフェージング判定部がフェージング状態を判定することにより、誤差信号の多いフェージング状態を検出して上記と同様に複数の時定数回路の内の最適なものを切替選択することができる。

【0025】

【実施例】図2(a)には、本発明に係るA G C回路の実施例（その1）が示されており、この実施例では、図1に示したフェージング判定部5が、入力信号（I F信号）を入力して直流信号に変換する検波器11とこの検波器11の出力電圧（直流電圧）から伝送路のフェージング状態を判定して時定数切替制御回路6に制御信号を与える判定部12とで構成されている。その他の構成は図1に示したものと同じである。

【0026】このような実施例においては、判定部12は図2(b)に示すような原理に従って時定数の制御を行う。

【0027】すなわち、検波器11の出力電圧が高い時、これは受信入力レベルが高いことを意味し、この場合には図示のごとくより小さい時定数が選択され、入力信号レベルが低くなるとフェージング状態に移行するのでこのフェージング状態に対応してより大きな時定数を選択する制御信号を出力するようにしている。

【0028】このように、受信入力レベルの低下を検出したとき、これに応じてA G C回路の時定数を大きくし、逆に受信入力レベルが高くなった場合にはA G C回路の時定数を小さくしてフェージングによる入力レベル

変動に対する抑圧特性を改善している。

【0029】図3は本発明に係るA G C回路の実施例(その2)を示したものであり、この実施例では、図2に示した実施例(その1)が入力信号を検波器11に入力しているのに対し、利得制御回路4の出力信号を検波器11に入力させている点が異なっている。

【0030】この実施例においても、利得制御回路4の出力信号をフェージング判定部5で判定することは、入力信号のレベルを検出するのと等価であり、全く同様にして図2(b)に示した原理に従って時定数を制御することができる。

【0031】図4は本発明に係るA G C回路の実施例(その3)を示したもので、この実施例では、図1に示したフェージング判定部5は、入力信号を分離するハイブリッド回路13と、このハイブリッド回路13から分離された同じ3つの信号をそれぞれが入力して異なった3つの周波数成分 f_- 、 f_0 、 f_+ (いずれも使用周波数帯域内)の信号を抽出するバンドパスフィルタ14～16と、これらのバンドパスフィルタ14～16の出力信号をそれぞれ直流電圧に変換するための検波器17～19と、これらの検波器17～19の内の少なくとも2つを比較してその差分 ΔV を出力するための減算器20と、この差分信号 ΔV を入力してフェージングを判定し制御信号を切替制御回路6へ与えるための判定器21とで構成されている。その他の構成は図1に示したものと同様である。

【0032】なお、フィルタ14～16及び検波器17～19は始めから使用する2つの周波数成分についてだけを用意しておいてもよい。

【0033】この図4の実施例の動作を図5を参照して説明すると、伝送路にフェージングが無い正常な時には、入力信号の周波数帯域は図5(a)に示すような状態となっており、この周波数帯域の内の上記の3つの異なった周波数成分 f_- 、 f_0 、 f_+ をバンドパスフィルタ14～16でそれぞれ抽出し且つそれぞれに接続された検波器17～19で直流電圧に変換して減算器20に与えられる。

【0034】この減算器20ではこれら3つの周波数成分の内の例えば周波数成分 f_- と f_+ とを引き算してその差分 ΔV を判定器21に出力する。尚、フェージングを判定するためには上記のように周波数成分 f_- と f_+ とを選択することが好ましいが、これに限らずこれら3つの周波数成分の内のいずれか2つを減算すればよい。

【0035】判定器21は減算器20からの差分信号 ΔV により図5(c)に示す原理(図2(b)に相当)に従って時定数を選択する。

【0036】すなわち、例えば ΔV が0.2Vの時には時定数①を選択し、 ΔV が0.6Vの時には時定数③を選択する、というように、差分電圧 ΔV が大きいとき(フェージング状態が強い時)にはより大きな時定数を

選択するような制御信号を出力する。

【0037】図6は本発明に係るA G C回路の実施例(その4)を示したもので、この実施例は図4に示した実施例(その3)が入力信号をハイブリッド回路13に入力しているのに対して、A G C回路の出力信号を受けている点が異なっているだけであり、その他は図4の実施例と同様である。

【0038】図7は本発明に係るA G C回路の実施例(その5)を示しており、この実施例は特に図4及び図6に示した実施例におけるフェージング判定部5の変形例を示したものである。

【0039】すなわち、図7(a)に示すようにまず3つの周波数成分 f_- 、 f_0 、 f_+ を発生するVCO(電圧制御発振器)を用意し、これらの局部発振信号は点線で図示した入力信号(これは上述の如くA G C回路の出力信号でもよい)とともにミキサー32に与えられる。

【0040】ミキサー32は入力信号とVCO31からの発振信号の周波数差分信号を出力するので、このミキサー32の出力信号はVCO31の出力信号の周波数成分が f_- である場合には図8(a)に点線で示すように入力信号における周波数成分 f_- のみが0(直流成分)となり、他の周波数成分 f_0 、 f_+ のみが出力されることとなる。

【0041】また、同様にしてVCO31の出力周波数が f_0 である時には同図(b)に点線で示すようにミキサー32からは周波数成分 f_0 で折り返された周波数 f_+ 及び f_- の成分が出力され、VCO31が周波数成分 f_+ を発生する場合には同図(c)に点線で示すように周波数成分 f_0 、 f_- が出力されることとなる。

【0042】このようにしてミキサー32から出力された周波数成分はローパスフィルタ(LPF)33で図8(a)～(c)に示すように遮断周波数より高い周波数成分をカットするように作用すると、図示のごとく斜線で示すような周波数成分のみが出力されて検波器34に送られ、直流電圧Bとして検出される。

【0043】ここまでVCO31とミキサー32とローパスフィルタ33と検波器34は図7(a)に示す如く回路Aを構成しているとすると、この回路Aから出力された上記の直流電圧Bは同図(b)に示すようにA/D変換器35に送られてデジタル値に変換され、メモリ36に記憶される。

【0044】このようにしてメモリ36には図8(a)～(c)に示す3つの成分の直流変換値(デジタル値)が格納され、このうちの2つを判定器37に送ってその差を図4に示したように取り、その差分 ΔV から制御信号を発生するようにしている。

【0045】なお、回路AにおけるVCO31は図7(b)に示すタイミング発生器38からの信号により同図(c)に示す如く周波数 f_- 、 f_0 、 f_+ が順に切り替えられるようになっている。

【0046】このようにして、メモリ36の出力データから判定器37が上記の実施例（その3及びその4）と同様にして判定し制御信号を同様にして出力することが可能となる。

【0047】図9は本発明に係るA G C回路の実施例（その6）を示したもので、この実施例ではA G C回路の後段に接続される復調器7に通常設けられている識別回路8に積分回路9を接続し、この積分回路9の出力信号をフェージング判定部5に与えるものである。その他の構成は図1の場合と同様である。

【0048】図10には識別回路8と積分回路9との組合せがより具体的に示されており、特に積分回路9は識別回路8から誤差として示される2つの信号を入力するE O R（排他的論理和）回路91と、このE O R回路91の出力信号を反転するためのインバータ92と、このインバータ92の出力信号を積分する積分器93とで構成されている。

【0049】即ち、識別回路8は入力信号のアイパターンの中心から外れれば外れるほど誤差信号として出力されることとなるので、アイパターの最も外部に対応した出力ビットをE O R回路91に入力し、これらが一致するか否かを検出する。

【0050】いま、識別回路8が正しく識別する場合には最も端部の2つの入力データは互いに不一致であるためE O R回路91の出力信号は“1”となる。

【0051】従って、インバータ92で反転されるので論理“0”となって積分器93では積分されない。

【0052】しかしながら、識別回路8に誤差が生じるとE O R回路91の入力信号が一致するため、その出力信号は“0”となり、インバータ92で反転されて論理

“1”となるため積分器93で積分され、この積分されたデータがフェージング判定部5に与えられることにより上記と同様のフェージング判定を行うことができる。

【0053】すなわち、誤差信号の積分値に相当する電圧が高いという事は無線回線の品質劣化が大きく、これに対応して時定数を大きくしなければならないことになる。

【0054】

【発明の効果】以上説明したように、本発明に係るA G C回路によれば、入力信号又は出力信号或いは利得制御回路の出力信号から伝送路のフェージング状態を判定し、この判定結果に応じて複数の時定数回路の内のいずれかを選択してA G C回路の時定数とするように構成したので、許容できる固定劣化の範囲でA G C回路の時定数を小さくするとともにフェージングによる受信入力レベ

ル変動の抑圧特性を改善し、フェージング発生により受信入力レベルが低下した状態ではA G C回路の時定数を大きくして固定劣化が発生しないようにすることができる。

【0055】また、多値変調信号を伝送する場合には時定数により発生する固定劣化成分を大きく劣化させずにフェージングにより発生する受信入力レベル変動の抑圧特性を改善することが可能となる。

【図面の簡単な説明】

10 【図1】本発明に係るA G C回路の原理構成を示したブロック図である。

【図2】本発明に係るA G C回路の実施例（その1）を示した図である。

【図3】本発明に係るA G C回路の実施例（その2）を示したブロック図である。

【図4】本発明に係るA G C回路の実施例（その3）を示したブロック図である。

【図5】本発明に係るA G C回路の実施例（その3）の動作説明図である。

20 【図6】本発明に係るA G C回路の実施例（その4）を示したブロック図である。

【図7】本発明に係るA G C回路の実施例（その5：フェージング判定部）を示した図である。

【図8】本発明に係るA G C回路の実施例（その5）におけるミキサーの出力を説明するためのグラフ図である。

【図9】本発明に係るA G C回路の実施例（その6）を示したブロック図である。

30 【図10】図9に示した実施例（その6）の動作を説明するための図である。

【図11】従来のA G C回路を示したブロック図である。

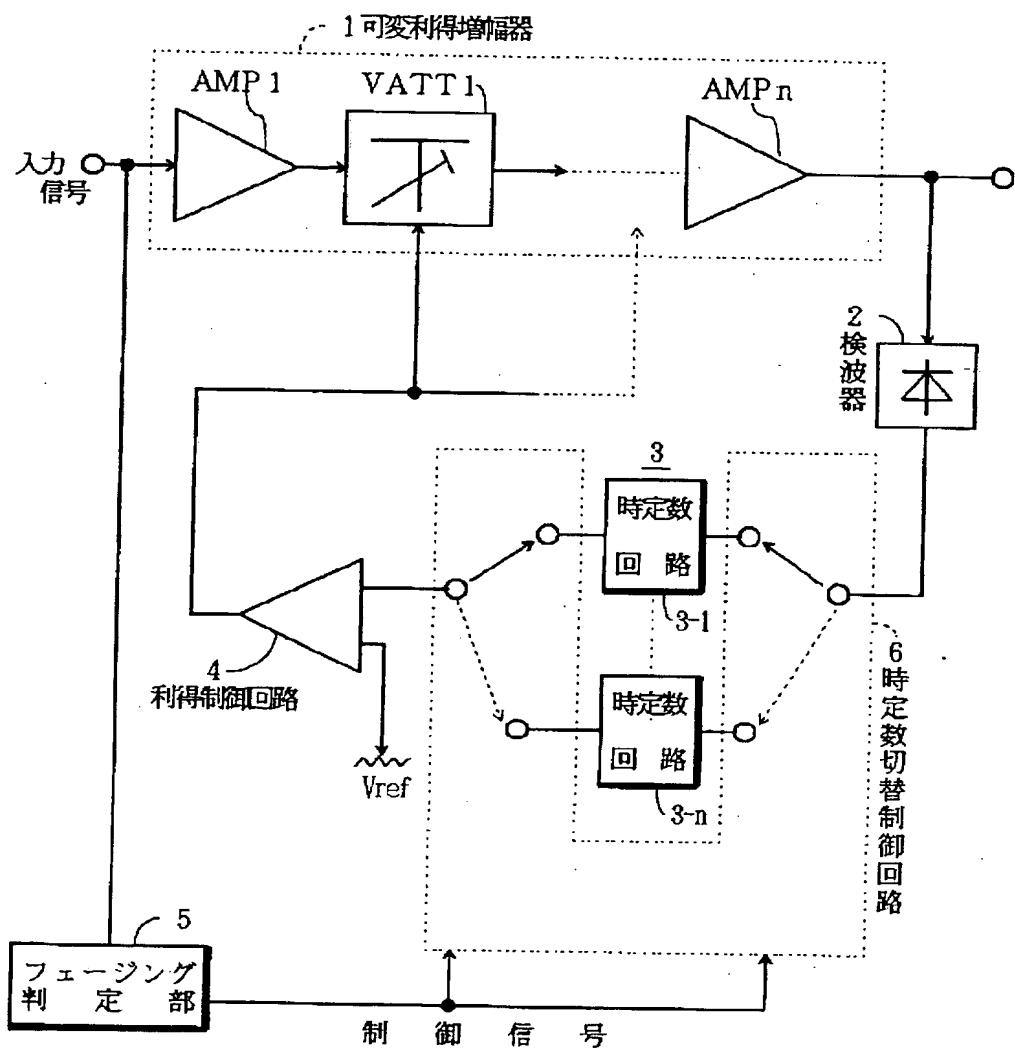
【図12】変調方式により時定数と固定（B E R）劣化との関係を示したグラフ図である。

【符号の説明】

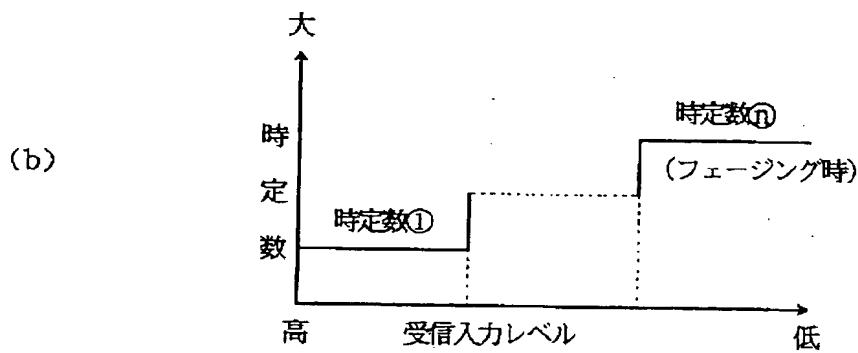
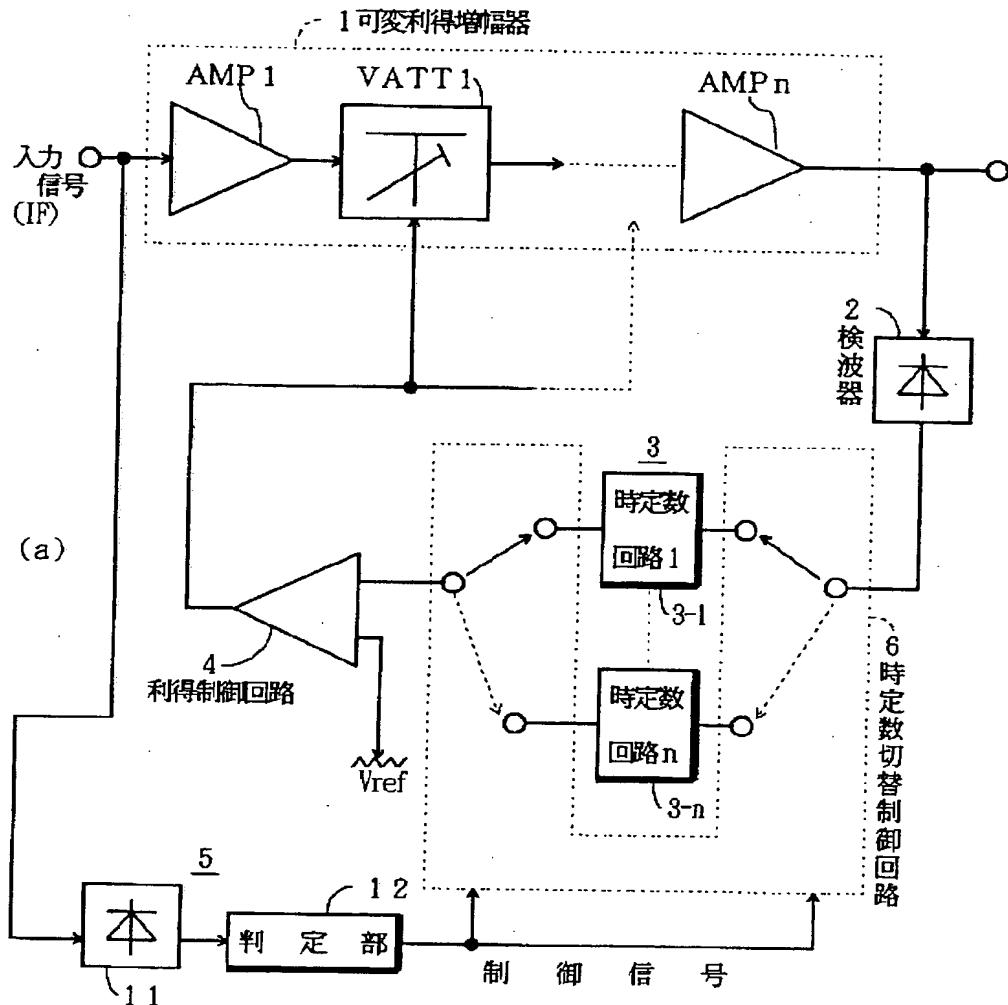
- 1 可変利得増幅器
- 2 検波器
- 3, 3-1 ~ 3-n 時定数回路
- 4 利得制御回路
- 5 フェージング判定部
- 6 時定数切替制御回路
- 7 復調器
- 8 識別回路
- 9 積分回路

図中、同一符号は同一又は相当部分を示す。

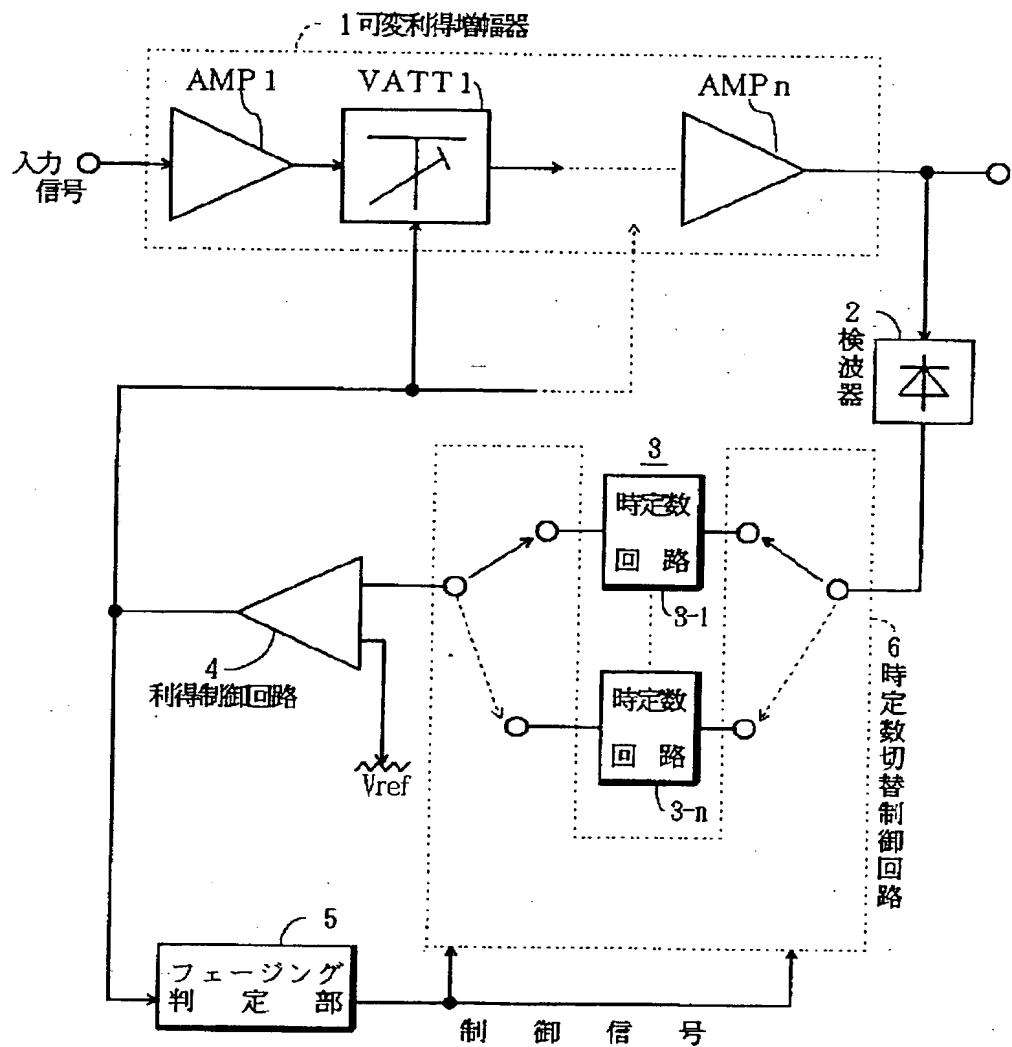
【図1】

本発明の原理構成図

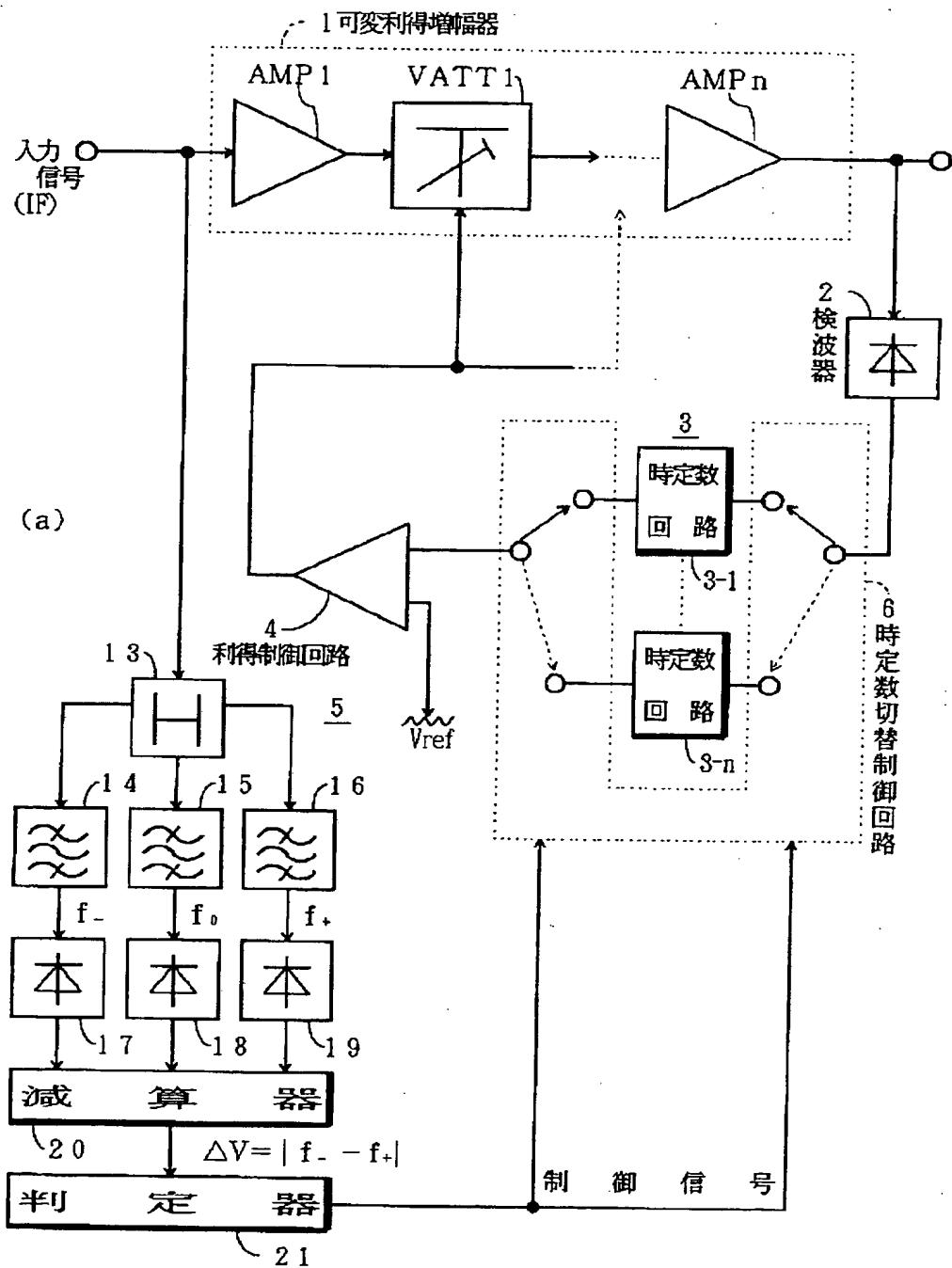
【図2】

本発明の実施例(その1)

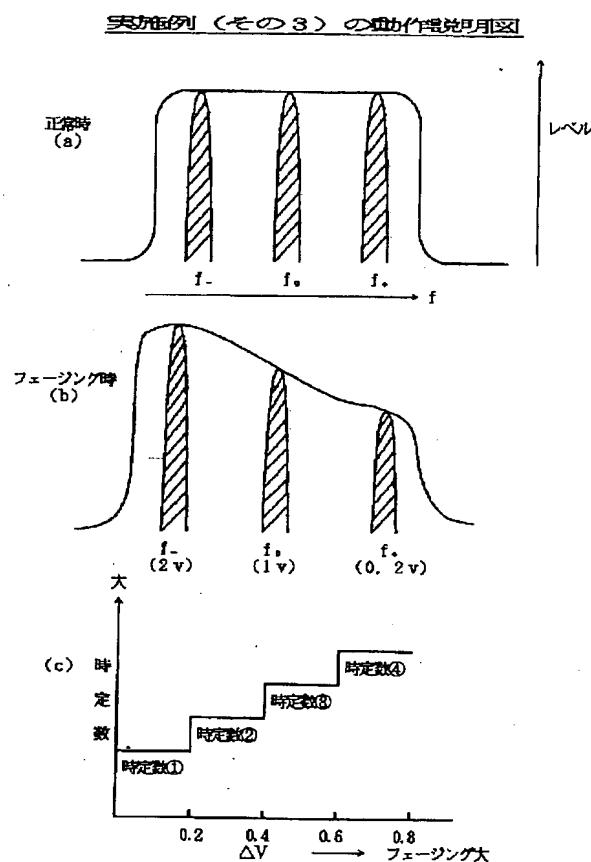
【図3】

本発明の実施例(その2)

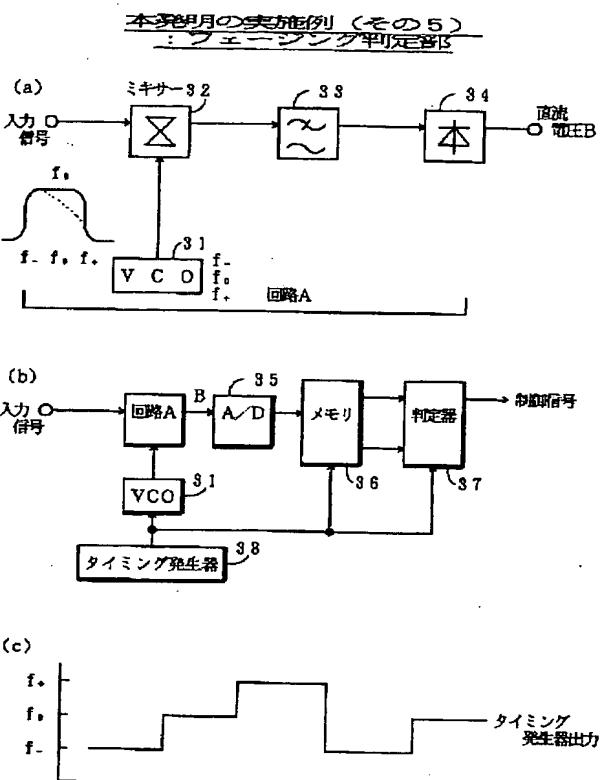
【図4】

本発明の実施例(その3)

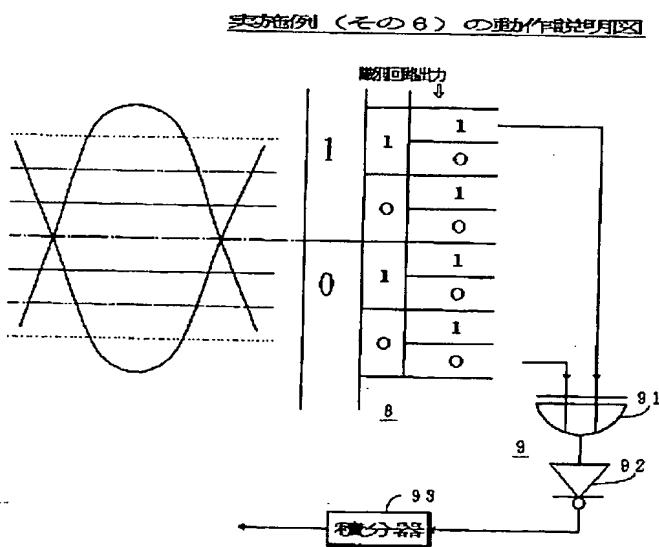
【図5】



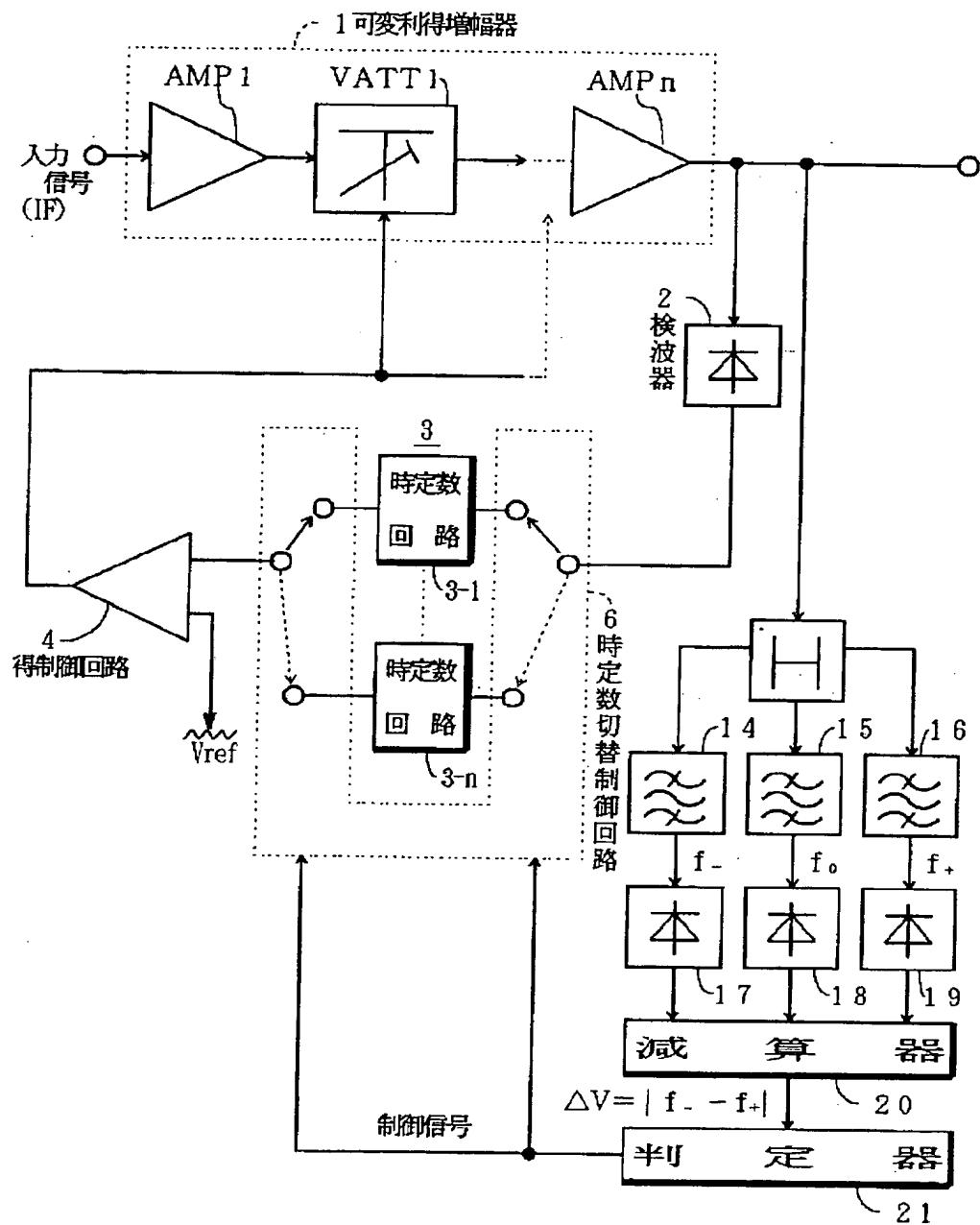
【図7】



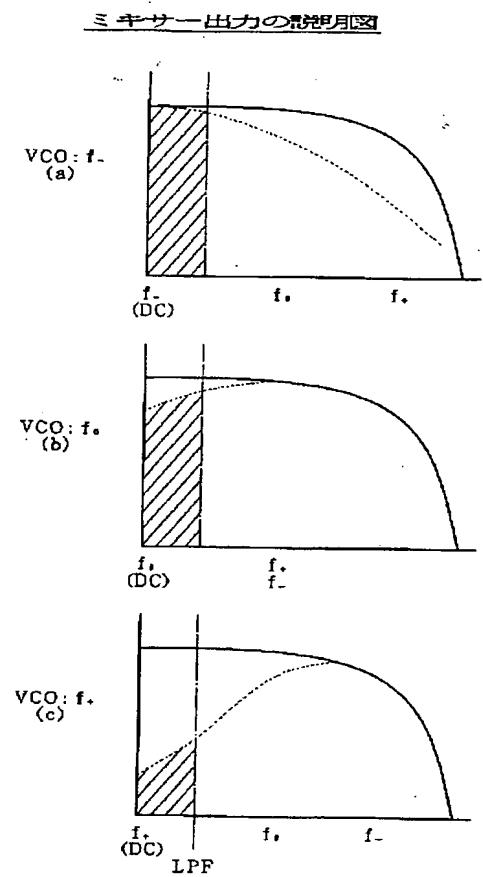
【図10】



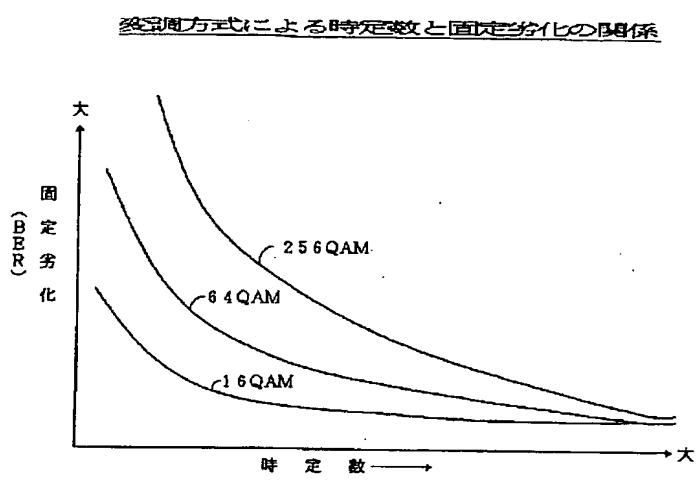
【図6】

本発明の実施例(その4)

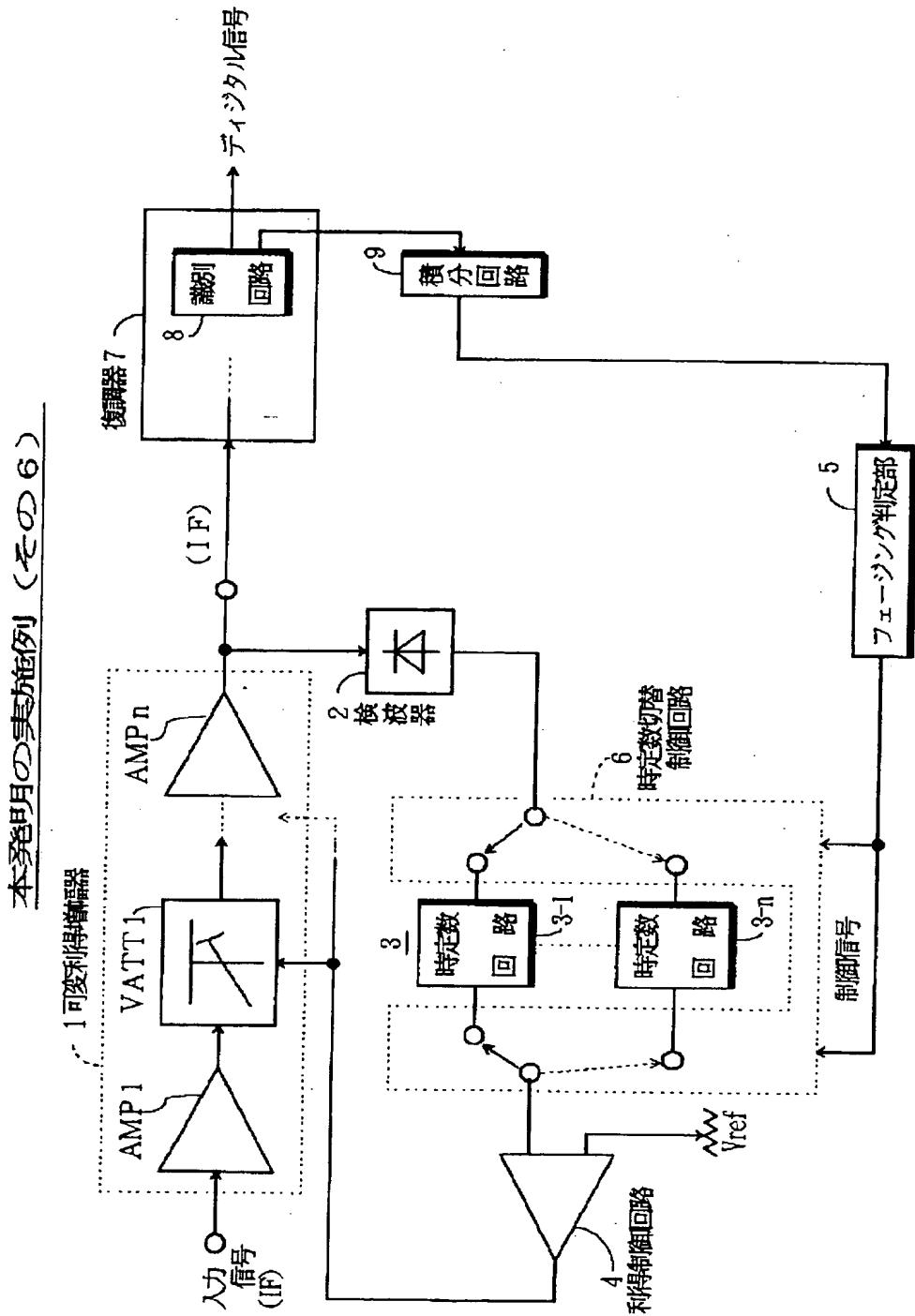
【図8】



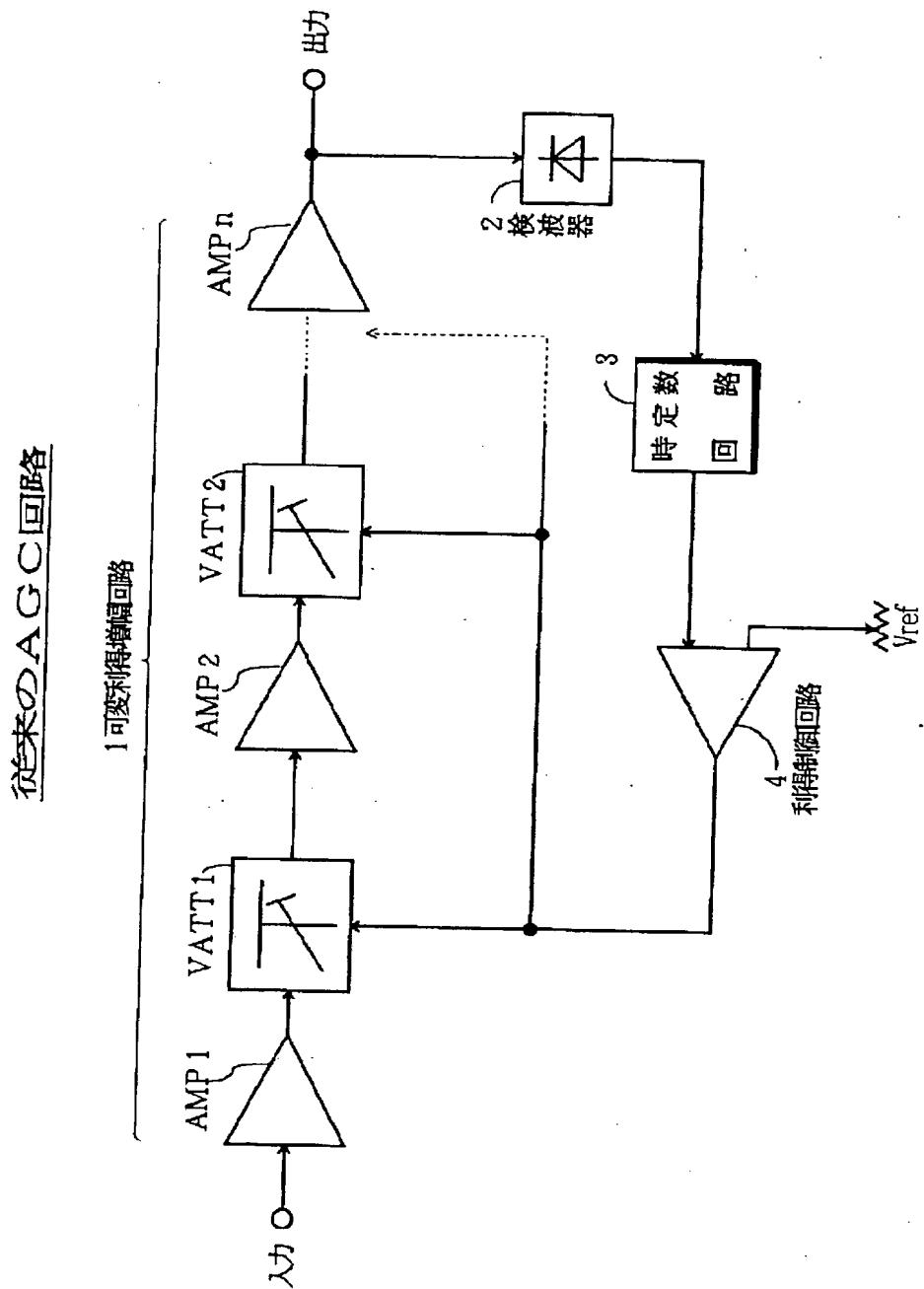
【図12】



【図9】



【図11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.